

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-287327

(43) 公開日 平成4年(1992)10月12日

(51) Int.Cl.<sup>5</sup>

識別記号

片内整理番号

F I

技術表示箇所

H 0 1 L 21/3205

21/90

V 7353-4M

7353-4M

H 0 1 L 21/88

S

審査請求 未請求 請求項の数2 (全 5 頁)

(21) 出願番号 特願平3-51819

(22) 出願日 平成3年(1991)3月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 伊藤 隆広

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

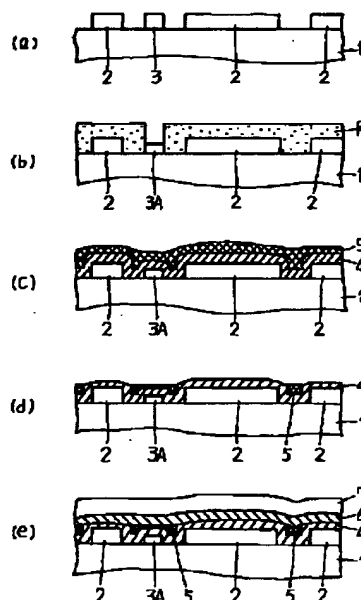
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 多層配線構造を有する半導体装置とその製造方法に関し、上層配線の下地の平坦性を損なうことなく下層配線の配線容量を減らすことを目的とする。

【構成】 [1] 多層配線構造を有する半導体装置において、半導体基板1上の隣接する下層配線パターン2の間のスペースに該下層配線パターン2と同一材料からなり且つ該下層配線パターン2より膜厚が薄いダミーパターン3Aを設けた構造とする。[2] 前記半導体装置の製造方法を、同一の導電性材料で下層配線パターン2とダミーパターン3とを同時に形成する工程と、該ダミーパターン3を選択的にエッチングしてその膜厚を減らす工程とを含むように構成する。

本発明の実施例を工程順に示す模式断面図



## 【特許請求の範囲】

【請求項1】 多層配線構造を有する半導体装置であって、半導体基板(1) 上の下層配線パターン(2) の間のスペースに該下層配線パターン(2) と同一材料からなり且つ該下層配線パターン(2) より膜厚が薄いダミーパターン(3A)を有していることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置の製造方法であって、同一の導電性材料で下層配線パターン(2) とダミーパターン(3) とを同時に形成する工程と、該ダミーパターン(3) を選択的にエッチングしてその膜厚を減らす工程と、を含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置とその製造方法、特に多層配線構造を有する半導体装置とその製造方法に関する。

【0002】 近年、半導体ICでは高集積・高密度化の要求に対応して、パターンの微細化と共に配線の多層化が進められている。この多層配線構造を有する半導体ICにあっては、下地に段差があると層間絶縁膜の表面に凹凸を生じ、これが上層配線の信頼性を損なうことがあるため、微細パターンの配線にあっては層間絶縁膜の平坦化が重要な事項となっている。

## 【0003】

【従来の技術】 従来の平坦化法としては、層間絶縁膜の凹部をレジストでマスクして凸部をエッチングする方法、液状の樹脂等を塗布して凹部を埋めた後これを硬化し、更にエッチバックする方法、等が行われていた。これらの方法によれば層間絶縁膜表面の平坦度はかなり改善されるが、特に微細なパターンの配線（例えばAl配線でパターンルール2 $\mu\text{m}$ 以下）の形成には不充分である。

【0004】 更に良好な平坦度が得られる従来の平坦化法として、下層配線が疎である部分のスペースに下層配線と同じ厚さのダミーパターンを設ける方法がある。以下その一例を図2を参照しながら説明する。図2(a)～(d)は従来の製造方法の一例を工程順に示す模式断面図である。尚、図中、図1と同じものには同一の符号を付与した。

【0005】 先ず半導体基板1の表面にAl等からなる下層導電膜（図示は省略）を形成し、これをフォトリソグラフィ法等によりパターンニングして下層配線パターン2と共にダミーパターン3を得る（図2(a)参照）。次にPSGからなる層間絶縁膜4を形成し、更に平坦化絶縁膜5を形成する（図2(b)参照）。この平坦化絶縁膜5は、例えば有機SOG (Spinon Glass)からなり、液の状態で回転塗布したのち加熱して硬化させるものであるから、層間絶縁膜4の窪みを埋め、かなり平坦な表面となる。

【0006】 次にこの平坦化絶縁膜5と層間絶縁膜4とを、この両者の材料に対するエッチング速度がほぼ同じとなる条件でエッチバックする（図2(c)参照）。エッチバック量は、平坦化絶縁膜5は層間絶縁膜4の窪みを埋めた部分を除いて除去され、且つ下層配線パターン2及びダミーパターン3Aが露出しない程度とする。その後層間絶縁膜6を形成し、更に上層配線パターン用の上層導電膜7を形成する（図2(d)参照）。この上層導電膜7をフォトリソグラフィ法等によりパターンニングして上層配線パターン（図示は省略）を得る。

【0007】 この方法によれば、ダミーパターン3が存在することにより平坦化絶縁膜5の塗布膜厚は配線の幅や疎密の影響を受けにくくなるから、層間絶縁膜6表面は良好な平坦度が得られる。

## 【0008】

【発明が解決しようとする課題】 ところが、この方法により得られた半導体装置は、下層配線パターン間に導電性材料からなるダミーパターンが存在する故に配線容量が増大して動作スピードが低下する、配線容量を減らすためにダミーパターンの幅を狭くすると平坦化の効果が薄れて上層配線の信頼性が低下する、という問題があった。

【0009】 本発明はこのような問題を解決して、上層配線の下地の平坦性を損なうことなく下層配線の配線容量を減らすことが出来る多層配線構造の半導体装置を提供することを目的とする。

## 【0010】

【課題を解決するための手段】 この目的は、本発明によれば、[1] 多層配線構造の半導体装置において、半導体基板1上の下層配線パターン2の間のスペースに該下層配線パターン2と同一材料からなり且つ該下層配線パターン2より膜厚が薄いダミーパターン3Aを有していることを特徴とする半導体装置とすることで、[2] 同一の導電性材料で下層配線パターン2とダミーパターン3とを同時に形成する工程と、該ダミーパターン3を選択的にエッチングしてその膜厚を減らす工程とを含むことを特徴とする半導体装置の製造方法とすることで、達成される。

## 【0011】

【作用】 本発明によれば、下層配線パターンが疎に配設されている領域には下層配線パターン間にダミーパターンが設けられているから、層間絶縁層表面の平坦性が良く、且つダミーパターンの膜厚を薄くしてダミーパターンと下層配線パターンとの対向面積を減らすことにより、ダミーパターンの存在に起因する配線容量の増加が少ない。

## 【0012】

【実施例】 本発明に基づく平坦化方法の実施例を図1を参照しながら説明する。図1(a)～(e)は本発明の実施例を工程順に示す模式断面図である。

3

【0013】 先ず半導体基板1の表面に厚さ約 $1\mu\text{m}$ のAl等からなる下層導電膜(図示は省略)を形成し、これをフォトリソグラフィ法等によりパターンニングして下層配線パターン2と共にダミーパターン3を得る(図1(a)参照)。

【0014】 次にレジスト膜Rを被着し、更にこのレジスト膜Rを露光、現像してダミーパターン3の上方を開口する。その後ウェットエッチング法(エッチング剤は例えば $\text{H}_3\text{PO}_4$ と $\text{HNO}_3$ とを含む加温した溶液)或いはドライエッチング法(エッチング剤は例えば塩素系ガス)によりダミーパターン3をコントロールエッチして、所望の厚さのダミーパターン3Aを得る(図1(b)参照)。

【0015】 次にレジスト膜Rを除去した後、厚さ約800ÅのPSGからなる層間絶縁膜4をCVD法により形成する。更に厚さ最大約5000Åの平坦化絶縁膜5を形成する(図1(c)参照)。この平坦化絶縁膜5は、例えば有機SOG(Spin on Glass)からなり、液の状態で回転塗布したのち加熱して硬化させるものであるから、層間絶縁膜4の窪みを埋め、その表面はかなり平坦となる。但し、下地が凸である部分の膜厚はそのパターンの幅等によって多少変動する(幅が狭いと薄くなる傾向がある)。

【0016】 次にこの平坦化絶縁膜5と層間絶縁膜4とを、この両者の材料に対するエッチング速度がほぼ同じとなる条件でエッチバックする(例えばエッチング剤として $\text{CF}_4$ と $\text{C}_4\text{F}_8$ の混合ガスを用いた反応性イオンエッチング法による)(図1(d)参照)。エッチバック量は、平坦化絶縁膜5は層間絶縁膜4の窪みを埋めた部分を除いて除去され、且つ下層配線パターン2及びダミーパターン3Aが露出しない程度(例えば8000Å)とする。

【0017】 その後、厚さ約5000ÅのPSGからなる層

4

間絶縁膜6をCVD法により形成し、更に上層配線パターン用の、厚さ約 $1\mu\text{m}$ のAl等からなる上層導電膜7を形成する(図1(e)参照)。この上層導電膜7をフォトリソグラフィ法等によりパターンニングして上層配線パターン(図示は省略)を得る。

【0018】 このようにして得た多層配線構造では、例えばダミーパターン3Aを下層配線パターン2より $0.3\mu\text{m}$ 程度薄くしても、同じ厚さの場合に比して層間絶縁膜6の表面の平坦度は殆ど低下せず、しかも下層配線の配線容量は大幅に減少する。

【0019】 本発明は以上の実施例に限定されることなく、更に種々変形して実施出来る。

【0020】

【発明の効果】 以上説明したように、本発明によれば、上層配線の下地の平坦性を損なうことなく下層配線の配線容量を減らすことが可能な多層配線構造の半導体装置を提供することが出来る。

【図面の簡単な説明】

【図1】 本発明の実施例を工程順に示す模式断面図である。

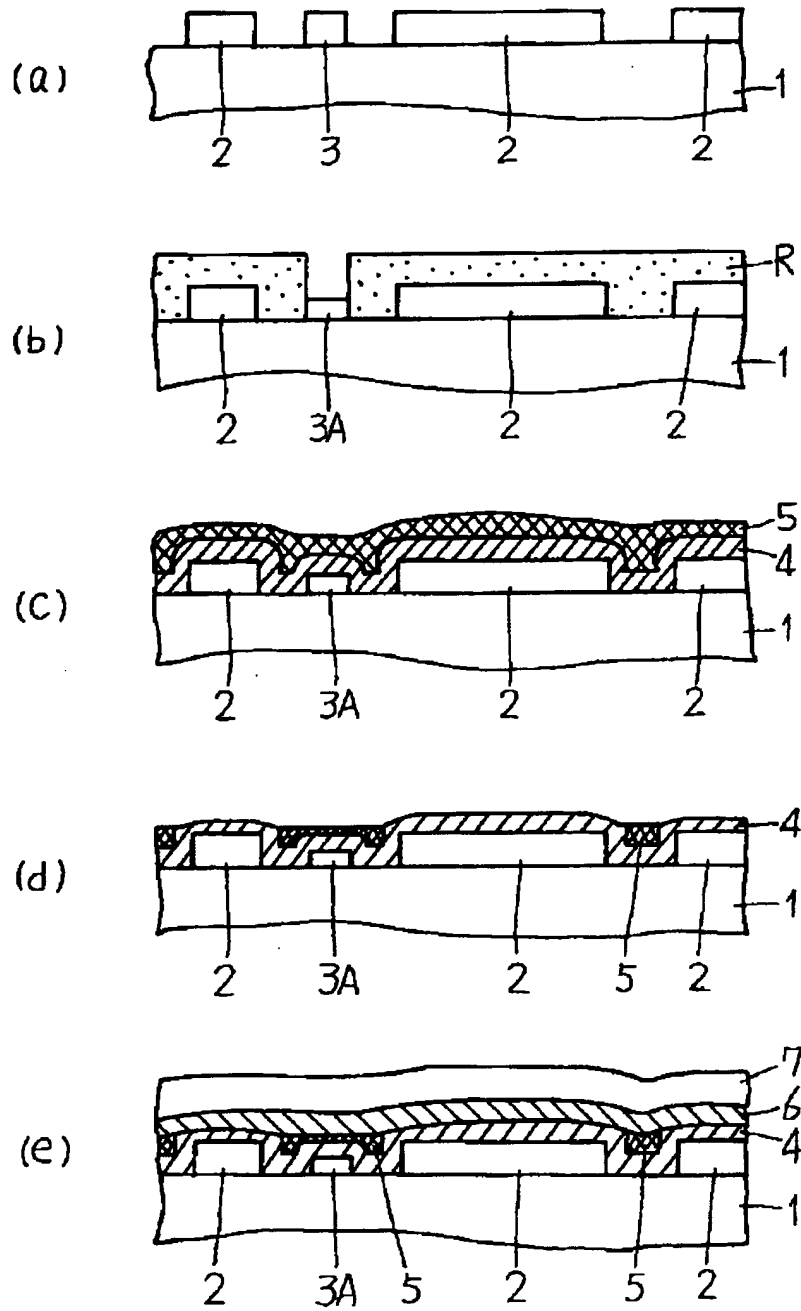
【図2】 従来の製造方法の一例を工程順に示す模式断面図である。

【符号の説明】

- 1 半導体基板
- 2 下層配線パターン
- 3, 3A ダミーパターン
- 4, 6 層間絶縁膜
- 5 平坦化絶縁膜
- 7 上層導電膜
- R レジスト膜

【図1】

本発明の実施例を工程順に示す模式断面図



【図2】

従来の製造方法の一例を工程順に示す模式断面図

